

PCT/KR 02/02418  
107517936  
RQ/KR 24.12.2002

REC'D 21 JAN 2003

W450 PCT

대한민국 특허  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0033326  
Application Number PATENT-2002-0033326

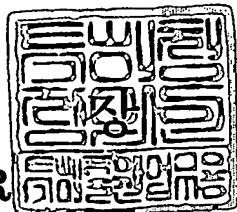
출원년월일 : 2002년 06월 14일  
Date of Application JUN 14, 2002

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002년 11월 15일

특허청

COMMISSIONER



PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

Best Available Copy

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2002.06.14
【발명의 명칭】	유기 전계발광장치
【발명의 영문명칭】	Organic electroluminescent device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	정진구
【성명의 영문표기】	CHUNG, Jin Koo
【주민등록번호】	700617-1122214
【우편번호】	151-019
【주소】	서울특별시 관악구 신림9동 244-150
【국적】	KR
【발명자】	
【성명의 국문표기】	최준후
【성명의 영문표기】	CHOI, Joon Hoo
【주민등록번호】	640818-1796612
【우편번호】	120-768
【주소】	서울특별시 서대문구 영천동 삼호아파트 108-303
【국적】	KR
【발명자】	
【성명의 국문표기】	김상갑
【성명의 영문표기】	KIM, Sang Gab
【주민등록번호】	680425-1628213

1020020033326

출력 일자: 2002/11/22

【우편번호】	134-070
【주소】	서울특별시 강동구 명일동 15번지 삼익아파트 301-306
【국적】	KR
【발명자】	
【성명의 국문표기】	최희환
【성명의 영문표기】	CHOE, Hee Hwan
【주민등록번호】	711021-1149514
【우편번호】	405-770
【주소】	인천광역시 남동구 만수1동 만수주공8단지 주공아파트 807-209
【국적】	KR
【발명자】	
【성명의 국문표기】	최범락
【성명의 영문표기】	CHOI, Beom Rak
【주민등록번호】	690830-1074316
【우편번호】	135-968
【주소】	서울특별시 강남구 대치1동 삼성아파트 112-508
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 우 (인) <span style="float: right;">박영</span>
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	42,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

발광 효율을 향상시킨 유기 전계발광장치가 개시되어 있다. 기판 상에 제1 전극이 형성된다. 상기 제1 전극 및 기판 상에 제1 전극을 노출하는 개구부를 갖는 저유전율의 화학기상증착(CVD) 절연막이 형성된다. 상기 개구부 상에 유기 전계발광층 및 제2 전극이 순차적으로 적층된다. 유기 EL층이 형성되는 영역을 둘러싸는 장벽층을 저유전율의 CVD 절연막으로 형성함으로써, 산소 플라즈마에 의한 화소 전극의 표면 처리를 실시하여 발광 특성을 향상시킬 수 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

유기 전계발광장치{Organic electroluminescent device}

**【도면의 간단한 설명】**

도 1은 본 발명의 제1 실시예에 의한 액티브 매트릭스형 유기 전계발광장치의 단면 도이다.

도 2a 내지 도 2f는 도 1에 도시한 액티브 매트릭스형 유기 전계발광장치의 제조방법을 설명하기 위한 단면도들이다.

도 3은 본 발명의 제2 실시예에 의한 패시브 매트릭스형 유기 전계발광장치의 단면 도이다.

도 4는 본 발명에 의한 유기 전계발광장치의 전류-전압 특성을 나타낸 그래프이다.

도 5는 본 발명에 의한 유기 전계발광장치의 휘도-전압 특성을 나타낸 그래프이다.

도 6은 본 발명에 의한 유기 전계발광장치의 휘도-전류 특성을 나타낸 그래프이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100, 200 : 기판 102 : 차단막

104 : 액티브 패턴 105S, 105D : 소오스/드레인 영역

105C : 채널 영역 106 : 게이트 절연막

108 : 게이트 전극 110 : 충간 절연막

112, 114 : 콘택홀 116, 118 : 소오스/드레인 전극

120 : 박막 트랜지스터 122 : 보호막

124 : 비어홀 126, 210 : 화소 전극

128, 218 : CVD 절연막 215 : 절연막

130, 240 : 개구부 132, 220 : 유기 EL층

134, 225 : 금속 전극 135 : 색도우 마스크

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 유기 전계발광(electroluminescent) 장치에 관한 것으로, 보다 상세하게는 저유전율의 CVD 절연막을 사용하여 발광 효율을 향상시킬 수 있는 유기 전계발광장치에 관한 것이다.

<19> 오늘날과 같은 정보화 사회에 있어서 전자 디스플레이 장치(electronic display device)의 역할은 갈수록 중요해지며, 각종 전자 디스플레이 장치가 다양한 산업 분야에 광범위하게 사용되고 있다.

<20> 일반적으로 전자 디스플레이 장치란 다양한 정보를 시각을 통해 인간에게 전달하는 장치를 말한다. 즉, 전자 디스플레이 장치란 각종 전자 기기로부터 출력되는 전기적 정보 신호를 인간의 시각으로 인식 가능한 광 정보 신호로 변환하는 전자 장치라고 정의할 수 있으며, 인간과 전자 기기를 연결하는 가교적 역할을 담당하는 장치로 정의될 수도 있다.

<21> 이러한 전자 디스플레이 장치에 있어서, 광 정보 신호가 발광 현상에 의해 표시되는 경우에는 발광형 표시(emissive display) 장치로 불려지며, 반사, 산란, 간섭 현상

등에 의해 광 변조를 표시되는 경우에는 수광형 표시(non-emissive display) 장치로 일컬어진다. 능동형 표시 장치라고도 불리는 상기 발광형 표시 장치로는 음극선관(cathode ray tube; CRT), 플라즈마 디스플레이 패널(plasma display panel; PDP), 발광 다이오드(light emitting diode; LED) 및 일렉트로 루미네슨트 디스플레이 (electroluminescent display; ELD) 등을 들 수 있다. 또한, 수동형 표시 장치인 상기 수광형 표시 장치에는 액정표시장치(liquid crystal display; LCD), 전기화학 표시장치 (electrochemical display; ECD) 및 전기 영동 표시장치(electrophoretic image display; EPID) 등이 해당된다.

<22> 텔레비전이나 컴퓨터용 모니터 등과 같은 화상표시장치에 사용되는 음극선관(CRT)은 표시 품질 및 경제성 등의 면에서 가장 높은 점유율을 차지하고 있으나, 무거운 중량, 큰 용적 및 높은 소비 전력 등과 같은 많은 단점을 가지고 있다.

<23> 그러나, 반도체 기술의 급속한 진보에 의해 각종 전자 장치의 고체화, 저 전압 및 저 전력화와 함께 전자 기기의 소형 및 경량화에 따라 새로운 환경에 적합한 전자 디스플레이 장치, 즉 얇고 가벼우면서도 낮은 구동 전압 및 낮은 소비 전력의 특징을 갖춘 평판(flat panel) 디스플레이 장치에 대한 요구가 급격히 증대하고 있다.

<24> 이러한 평판 디스플레이의 하나로서 전계발광 장치(EL device)가 주목되고 있다. 전계발광 장치는 사용하는 재료에 따라 무기 전계발광장치와 유기 전계발광장치로 크게 나뉘어진다.

<25> 무기 전계발광장치는 일반적으로 발광부에 높은 전계를 인가하고 전자를 높은 전계 중에서 가속하여 발광 중심으로 쏭돌시켜 이에 의해 발광 중심을 여기 함으로써 발광하는 장치이다.

<26> 유기 전계발광장치는 음극 전극(cathode)과 양극 전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 발광부 내로 주입시켜 주입된 전자와 정공이 재결합하여 여기자(exciton)를 생성하고, 이 여기자가 여기상태로부터 기저상태로 떨어질 때 빛을 방출하는 장치이다.

<27> 상기와 같은 동작원리로 인해 무기 전계발광장치는 100~200V의 높은 구동전압을 필요로 하는 반면, 유기 전계발광장치는 5~20V정도의 낮은 전압으로 구동할 수 있다는 장점 때문에 이에 대한 연구가 더욱 활발하게 진행되고 있다. 또한, 유기 전계발광장치는 넓은 시야각, 고속 응답성, 고 콘트라스트(high contrast) 등의 우수한 특징을 갖고 있다.

<28> 유기 전계발광장치는 단색(monochrome) 또는 다색(multi-color) 디스플레이, 스틸 영상 디스플레이, 단편 디스플레이 또는 패시브나 액티브 형태의 매트릭스 디스플레이와 같은 디스플레이 용도들에 적합한 복수개의 유기 EL 소자들(즉, 화소들)을 포함한다.

<29> 액티브 매트릭스형 유기 전계발광장치는 박막 트랜지스터와 같은 스위칭 소자들에 의해 복수개의 화소들에 대응하는 유기 EL 소자들을 서로 독립적으로 구동시키는 디스플레이 장치이다.

<30> 액티브 매트릭스형 유기 전계발광장치에 의하면, 투명 절연 기판 상에 액티브 패턴, 게이트 전극 및 소오스/드레인 전극을 갖는 박막 트랜지스터가 형성된다. 상기 박막 트랜지스터를 포함한 기판의 전면에는 박막 트랜지스터의 소오스/드레인 전극 중의 어느 하나, 예를 들어 드레인 전극을 노출하는 비어홀을 갖는 보호막이 형성된다. 상기 보호막 상에는 상기 비어홀을 통해 박막 트랜지스터의 드레인 전극과 접속되는 화소 전극이 형성된다. 인듐-주석-산화물(indium-tin-oxide; ITO) 또는 인듐-아연-산화물

(indium-zinc-oxide; IZO)과 같은 투명 도전막으로 이루어진 화소 전극은 정공을 주입하는 양극 전극으로 제공된다.

<31> 상기 화소 전극을 포함한 보호막 상에는 화소 전극의 일부분을 노출시키는 개구부를 갖는 절연막이 형성된다. 상기 개구부 상에는 유기 EL층이 형성되고, 그 위에 음극 전극용 금속 전극이 형성된다. 여기서, 상기 절연막은 유기 EL층이 형성되는 영역을 둘러싸는 장벽(wall) 또는 백크층(bank layer)으로 사용된다. 이러한 장벽층은 색도우 마스크(shadow mask)를 이동시키면서 적색(R), 녹색(G) 및 청색(B) EL층들을 연속적으로 형성할 때, 기 형성된 EL층 및 비화소 영역의 막들이 상기 색도우 마스크와 접촉하는 것을 방지하는 역할을 한다. 또한, 상기 장벽층은 화소 전극과 음극 전극 사이의 커플링 캐패시턴스(coupling capacitance)를 감소시키기 위해 사용된다.

<32> 종래의 유기 전계발광장치에 의하면, 저유전율을 갖는 고분자 계열 유기 절연물질, 예를 들어 이미드(imide) 또는 아크릴(acryl) 계열의 유기 절연물질을 이용하여 장벽층을 형성한다. 그러나, 이러한 유기 절연막은 다음과 같은 문제점들을 발생시킨다.

<33> (1) 유기 절연막 위에 금속 전극을 형성할 때, 유기 절연막의 접착성(adhesion)이 불량하기 때문에 금속 전극이 박리될 가능성이 있다.

<34> (2) 발광 효율을 높이기 위한 화소 전극의 표면 처리 공정, 예컨대 산소( $O_2$ ) 플라즈마 처리를 사용할 수 없다. 이것은 유기 절연막의 고분자들이 플라즈마에 의해 쉽게 손상받기 때문이다. 즉, 산소 플라즈마에 의해 화소 전극의 표면 처리를 실시하면, 장벽층의 표면이 손상되어 콘택 영역에 미세 유기막이 증착됨으로써 콘택 저항이 증가하고 소자의 성능이 저하된다. 따라서, 장벽층을 유기 절연막으로 형성할 경우, 화소 전극의 표면 처리 공정을 사용하지 못하므로 유기 EL 소자의 발광 특성이 저하된다.

<35> (3) 고분자들의 미세 수분 함유에 의해 유기 EL 소자의 구동시 소자의 열화가 발생 할 수 있으므로, 추가적인 열처리 공정이 필요할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<36> 따라서, 본 발명은 상술한 종래 방법의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 발광 특성(luminance property)을 향상시킬 수 있는 유기 전계발광장치를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<37> 상술한 목적을 달성하기 위하여 본 발명의 유기 전계발광장치는 기판; 상기 기판 상에 형성된 제1 전극; 상기 제1 전극 및 기판 상에 상기 제1 전극을 노출하는 개구부를 갖고 형성된 커플링 커패시턴스의 생성을 억제하기 위하여 저유전율의 화학기상증착(CVD) 절연막; 상기 개구부 상에 형성된 유기 전계발광층; 및 상기 유기 전계발광층 상에 형성된 제2 전극을 구비하는 것을 특징으로 한다.

<38> 바람직하게는, 상기 저유전율의 CVD 절연막은 SiOC로 이루어지고, 3.5 이하의 유전율을 갖는다. 상기 저유전율의 CVD 절연막은  $1\mu\text{m}$  이상의 두께로 형성된다.

<39> 또한, 본 발명의 상술한 목적은 기판; 상기 기판 상에 액티브 패턴, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하여 형성된 박막 트랜지스터; 상기 박막 트랜지스터 및 기판 상에 형성된 보호막; 상기 보호막 상에 상기 박막 트랜지스터와 연결되도록 형성된 화소 전극; 상기 화소 전극 및 보호막 상에 상기 화소 전극을 노출하는 개구부를 갖고 형성된 저유전율의 CVD 절연막; 상기 개구부 상에 형성된 유기 전

계발광층; 및 상기 유기 전계발광층 및 저유전율의 CVD 절연막 상에 형성된 금속 전극을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치에 의해 달성될 수 있다.

<40> 또한, 상술한 목적을 달성하기 위하여 본 발명은, 기판; 상기 기판 상에 스트라이프(stripe) 형태로 형성된 제1 전극; 상기 제1 전극 상에 테이퍼 기울기(tapered slope)의 개구부를 형성하도록 상기 제1 전극 및 기판 상에 형성된 저유전율의 CVD 절연막; 상기 개구부 상에 형성된 유기 전계발광층; 및 상기 유기 전계발광층 상에 상기 제1 전극과 교차하는 스트라이프 형태로 형성된 제2 전극을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치를 제공한다.

<41> 본 발명에 의하면, 유기 EL층이 형성되는 영역을 둘러싸는 장벽층을 저유전율의 CVD 절연막으로 형성한다. 상기 저유전율의 CVD 절연막은 플라즈마에 의한 표면 손상이 거의 발생하지 않으므로, 산소 플라즈마에 의한 화소 전극의 표면 처리를 실시하여 발광 효율(luminous efficiency) 및 휘도와 같은 발광 특성을 향상시킬 수 있다.

<42> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<43> 도 1은 본 발명의 제1 실시예에 의한 액티브 매트릭스형 유기 전계발광장치의 단면도이다.

<44> 도 1을 참조하면, 유리, 석영, 사파이어와 같은 투명 절연 기판(100)의 전면에 실리콘 산화물로 이루어진 차단막(blocking layer)(102)이 형성된다. 상기 차단막(102)은 생략될 수 있지만, 후속의 비정질실리콘막 결정화 동안에 상기 기판(100) 내의 각종 불순물들이 실리콘막으로 침투하는 것을 방지하기 위해 사용하는 것이 바람직하다.

<45> 상기 차단막(102) 상에는 액티브 패턴(104), 게이트 전극(108) 및 소오스/드레인 전극(116, 118)을 구비하는 박막 트랜지스터(120)가 형성된다.

<46> 구체적으로, 상기 차단막(102) 상에 다결정실리콘 액티브 패턴(104)이 형성된다. 상기 액티브 패턴(104) 및 차단막(102) 상에 실리콘 질화물 또는 실리콘 산화물로 이루어진 게이트 절연막(106)이 형성된다. 상기 게이트 절연막(106) 상에 상기 액티브 패턴(104)을 가로질러 소오스/드레인 영역(105S, 105D)과 채널 영역(105C)을 한정하는 게이트 전극(108)이 형성된다. 즉, 액티브 패턴(104)과 게이트 전극(108)이 겹치는 부분은 트랜지스터의 채널 영역(105C)이 되며, 상기 채널 영역(105C)을 사이에 두고 분할된 액티브 패턴(104)의 한 쪽이 소오스 영역(105S), 다른 쪽이 드레인 영역(105D)이 된다. 이 때, 상기 소오스 영역(105S)과 드레인 영역(105D)은 그 위치가 서로 바뀔 수 있다.

<47> 상기 게이트 전극(108) 및 게이트 절연막(106) 상에는 실리콘 산화물( $\text{SiO}_2$ )이나 실리콘 질화물( $\text{SiN}_3$ )과 같은 무기 절연물질로 이루어진 충간 절연막(110)이 형성된다. 상기 충간 절연막(110) 상에는 콘택홀(112, 114)을 통해 상기 액티브 패턴(104) 내의 소오스/드레인 영역(105S, 105D)과 각각 접속되는 소오스/드레인 전극(116, 118)이 형성된다.

<48> 상기 소오스/드레인 전극(116, 118) 및 충간 절연막(110) 상에는 실리콘 질화물과 같은 무기 절연물질이나 아크릴계 감광성 유기 절연물질로 이루어진 보호막(122)이 형성된다. 상기 보호막(122) 상에는 비어홀(124)을 통해 소오스/드레인 전극(116, 118) 중 하나, 예를 들어 드레인 전극(118)과 연결되는 화소 전극(126)이 형성된다. ITO 또는 IZO와 같은 투명 도전막으로 이루어진 화소 전극(126)은 유기 EL 소자의 양극 전극으로 제공된다.

<49> 상기 화소 전극(126)을 포함한 보호막(122) 상에는 화소 전극(126)의 일부분을 노출시키는 개구부(130)를 갖는 저유전율의 CVD 절연막(128)이 형성된다. 상기 개구부(130) 상에는 적색, 녹색 및 청색 유기 EL충들(132R, 132G)이 형성된다. 상기 유기 EL충들(132R, 132G) 위에는 유기 EL 소자의 음극 전극으로 제공되는 금속 전극(134)이 형성된다.

<50> 상기 유기 EL충은 하나 이상의 유기 박막으로 구성된다. 즉, 정공 주입층(hole injection layer; HIL), 정공 수송층(hole transfer layer; HTL), 발광층(emission layer; EML), 전자 수송층(electron transfer layer; ETL) 및 전자 주입층(electron injection layer; EIL)이 순차적으로 적층되어 유기 EL충을 구성한다. 여기서, 상기 발광층(EML)은 적색, 녹색 및 청색 발광층을 포함한다.

<51> 액티브 매트릭스형 유기 전계발광장치는 스위칭 소자인 박막 트랜지스터의 게이트 전극 및 소오스/드레인 전극에 인가되는 신호들에 의해 각각의 화소들이 구동되기 때문에, 상기 금속 전극(134)은 공통 전극으로 형성된다.

<52> 상기 저유전율의 CVD 절연막(128)은 유기 EL충이 형성되는 영역을 둘러싸는 장벽층으로 제공된다. 또한, 상기 저유전율의 CVD 절연막(128)은 색도우 마스크를 이동시키면서 적색(R), 녹색(G) 및 청색(B) 유기 EL충들을 연속적으로 형성할 때, 기 형성된 유기 EL충 및 비화소 영역의 막들이 상기 색도우 마스크와 접촉하는 것을 방지하는 역할을 한다.

<53> 본 발명에 의하면, 상기 저유전율의 CVD 절연막(128)은 화소 전극(126)과 금속 전극(134) 사이의 커플링 캐패시턴스를 생성을 억제하기 위해 (감소시키기 위해) 3.5 이하의 유전율을 갖는 SiOC막으로 형성한다. 상기 저유전율의 CVD 절연막(128)은 화소 전극

(126)과 금속 전극(134) 간의 수직 이격 거리를 확보하기 위하여  $1\mu m$  이상의 두께로 형성된다. 또한, 상기 유기 EL층의 얼라인 마진을 확보하기 위하여 상기 저유전율의 CVD 절연막(128)은 화소 전극(126)의 에지부와  $1\mu m$  이상 오버랩되도록 형성하는 것이 바람직하다.

<54> 일반적으로, CVD 막은 다른 막과의 접착성 및 단차 도포성이 우수하기 때문에, 상기 저유전율의 CVD 절연막(128) 위에서 금속 전극(134)의 박리 현상이 발생하지 않는다. 또한, CVD 막은 플라즈마에 의한 표면 손상이 거의 발생하지 않기 때문에, 저유전율의 CVD 절연막(128)으로 장벽층을 형성하면 산소 플라즈마에 의한 화소 전극(126)의 표면 처리를 실시할 수 있다. 장벽층의 손상 없이 발광 효율 및 휘도와 같은 발광 특성을 향상시킬 수 있다.

<55> 또한, CVD 막은 유기막에 비해 흡습률이 낮고 내열성이 높기 때문에, 유기 EL 소자의 구동시 소자의 열화가 발생하지 않는다.

<56> 특히, 플라즈마-강화 화학기상증착(PECVD) 방법으로 저유전율의 무기 절연막을 증착하여 장벽층을 형성할 경우, 증착 조건을 조절하여 유전율을 더욱 낮게 만들 수 있으므로 장벽층의 두께를 얇게 하여 수직 단차를 감소시키고 후속 공정의 마진을 증가시킬 수 있다.

<57> 도 2a 내지 도 2f는 도 1에 도시한 유기 전계발광장치의 제조방법을 설명하기 위한 단면도들이다.

<58> 도 2a를 참조하면, 유리, 석영, 사파이어와 같은 투명 절연 기판(100)의 전면에 실리콘 산화물을 플라즈마-강화 화학기상증착(PECVD) 방법에 의해 약  $1000\text{ \AA}$ 의 두께로 증

착하여 차단막(102)을 형성한다. 상기 차단막(102)은 후속의 비정질실리콘막 결정화 동안에 상기 기판(100) 내의 각종 불순물들이 실리콘막으로 침투하는 것을 방지하는 역할을 한다.

<59> 상기 차단막(102) 상에 비정질실리콘막을 저압 화학 기상 증착(low pressure CVD; LPCVD) 또는 PECVD 방법에 의해 약 500Å의 두께로 증착하여 액티브층을 형성한 후, 레이저 어닐링을 실시하여 상기 액티브층을 다결정실리콘으로 결정화시킨다. 이어서, 사진식각 공정으로 상기 다결정실리콘 액티브층을 패터닝하여 단위 화소 내의 박막 트랜지스터 영역에 액티브 패턴(104)을 형성한다.

<60> 상기 액티브 패턴(104) 및 차단막(102) 상에 실리콘 산화물을 PECVD 방법에 의해 1000Å~2000Å의 두께로 증착하여 게이트 절연막(106)을 형성한다. 상기 게이트 절연막(106) 상에 게이트막으로서, 예컨대 알루미늄(AI) 또는 알루미늄-네오디뮴(A1Nd)과 같은 알루미늄 함유 금속의 단일층이나, 크롬(Cr)이나 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 증착한 후, 사진식각 공정으로 상기 게이트막을 패터닝한다. 그러면, 제1 방향으로 신장되는 게이트 라인(도시하지 않음)과 상기 게이트 라인으로부터 분기된 박막 트랜지스터의 게이트 전극(108)이 형성된다.

<61> 이때, 상술한 게이트막의 패터닝 공정시 사용되는 포토마스크를 이용하여 불순물 이온주입을 실시함으로써, 액티브 패턴(104)의 양측 표면에 박막 트랜지스터의 소오스/드레인 영역(105S, 105D)을 형성한다. 상기 소오스/드레인 이온주입시 상기 게이트 전극(108)은 불순물을 차단하여 그 하부의 액티브 패턴(104)에 채널 영역(105C)을 정의한다.

<62> 도 2b를 참조하면, 상기 소오스/드레인 영역의 도핑된 이온을 활성화시키고 실리콘 층의 손상을 큐어링하기 위하여 레이저 어닐링 또는 퍼니스 어닐링을 실시한 후, 결과물의 전면에 실리콘 질화물을 약  $8000\text{ \AA}$ 의 두께로 증착하여 층간 절연막(110)을 형성한다.

<63> 사진식각 공정으로 상기 층간 절연막(110)을 식각하여 소오스/드레인 영역(105S, 105D)을 각각 노출시키는 콘택홀들(112, 114)을 형성한다. 상기 콘택홀들(112, 114) 및 층간 절연막(110) 상에 데이터막으로서, 예컨대 몰리텅스텐(MoW) 또는 알루미늄-네오디뮴(AlNd)을 약  $3000\text{ \AA} \sim 6000\text{ \AA}$ 의 두께로 증착한 후, 사진식각 공정으로 상기 데이터막을 패터닝한다. 그러면, 상기 제1 방향과 직교하는 제2 방향으로 신장되는 데이터 라인(도시하지 않음) 및 전원 공급 라인(Vdd)(도시하지 않음), 그리고 상기 콘택홀들(112, 114)을 통해 소오스/드레인 영역(105S, 105D)과 각각 접속되는 소오스/드레인 전극(116, 118)이 형성된다.

<64> 상술한 공정들을 통해, 액티브 패턴(104), 게이트 절연막(106), 게이트 전극(108) 및 소오스/드레인 전극(116, 118)으로 구성된 박막 트랜지스터(120)가 형성된다.

<65> 도 2c를 참조하면, 상기 박막 트랜지스터(120)를 포함한 층간 절연막(110) 상에 실리콘 질화물을 약  $2000\text{ \AA} \sim 3000\text{ \AA}$ 의 두께로 증착하여 보호막(122)을 형성한다. 이어서, 사진식각 공정으로 상기 보호막(122)을 식각하여 소오스/드레인 전극(116, 118) 중 어느 하나, 예를 들어 드레인 전극(118)을 노출시키는 비어홀(124)을 형성한다.

<66> 상기 비어홀(124) 및 보호막(122) 상에 ITO 또는 IZO와 같은 투명 도전막을 증착하고 이를 사진식각 공정으로 패터닝함으로써, 상기 비어홀(124)을 통해 박막 트랜지스터(120)의 드레인 전극(118)과 연결되는 화소 전극(126)을 형성한다. 상기 화소 전극(126)은 유기 EL 소자의 양극 전극으로 제공된다.

<67> 도 2d를 참조하면, 상기 화소 전극(126) 및 보호막(122) 상에 3.5 이하의 유전율을 갖는 CVD 절연막(128), 예를 들어 SiOC막을 증착한 후, 사진식각 공정으로 상기 저유전율의 CVD 절연막(128)을 패터닝함으로써 화소 전극(126)의 일부분을 노출하는 개구부(130)를 형성한다.

<68> 그런 다음, 유기 EL 소자의 발광 특성을 향상시키기 위하여 산소( $O_2$ ) 플라즈마에 의한 화소 전극(126)의 표면 처리를 실시한다.

<69> 도 2e를 참조하면, 상기 개구부(130)를 갖는 저유전율의 CVD 절연막(128) 위에 새 도우 마스크(135)를 위치시킨 후, 적색 유기 EL충(132R)을 형성한다.

<70> 도 2f를 참조하면, 상기 새도우 마스크(135)를 이동시킨 후, 녹색 유기 EL충(132G)을 형성한다. 이어서, 도시하지는 않았으나, 상기 새도우 마스크(135)를 다시 이동시켜 청색 유기 EL충을 형성한다.

<71> 이와 같이 적색, 녹색 및 청색 유기 EL충들을 연속적으로 형성한 후, 결과물의 전면에 유기 EL 소자의 음극 전극으로 제공되는 금속 전극(134)을 형성한다.

<72> 도 3은 본 발명의 제2 실시예에 의한 패시브 매트릭스형 유기 전계발광장치의 단면도이다.

<73> 도 3을 참조하면, 유리, 석영, 사파이어와 같은 투명 절연 기판(200) 상에 ITO와 같은 투명 도전막으로 이루어진 제1 전극(즉, 양극 전극)(210)이 형성된다. 상기 제1 전극(210)은 제1 방향으로 신장되는 스트라이프 형상으로 형성된다.

<74> 상기 제1 전극(210) 및 기판(200) 상에 제1 전극(210)을 노출하는 개구부(240)를 갖는 저유전율의 CVD 절연막(218), 바람직하게는 SiOC막이 형성된다. 바람직하게는, 상기 저유전율의 CVD 절연막(218)은 제1 전극(210)과 음극 전극으로 제공되는 제2 전극의 사이에 커플링 캐패시턴스의 생성을 억제하기 위하여 3.5 이하의 낮은 유전율을 가지며,  $1\mu\text{m}$  이상의 두께로 형성된다.

<75> 상기 저유전율의 CVD 절연막(218)은 유기 EL층이 형성되는 영역을 둘러싸는 장벽층으로 제공되면서, 그 위에 증착되는 제2 전극을 화소 별로 분리시키는 역할을 한다. 또한, 상기 저유전율의 CVD 절연막(218)은 색도우 마스크를 이동시키면서 적색(R), 녹색(G) 및 청색(B) 유기 EL층들을 연속적으로 형성할 때, 기 형성된 유기 EL층 및 비화소 영역의 막들이 상기 색도우 마스크와 접촉하는 것을 방지하는 역할을 한다.

<76> 바람직하게는, 상기 저유전율의 CVD 절연막(218)은 역 테이퍼 기울기를 갖도록 패터닝된다. 따라서, 상기 제1 전극(210)을 노출하는 개구부(240)는 테이퍼 기울기로 형성된다.

<77> 상기 제1 전극(210)과 저유전율의 CVD 절연막(218)의 사이에는 제1 전극(210)의 에지부를 커버하기 위한 절연막(215)이 형성된다. 즉, 상기 절연막(215)은 제1 전극(210)의 단차 부위에 유기 EL층이 적층되는 것을 방지하는 역할을 한다.

<78> 상기 개구부(240) 상에는 적색, 녹색 및 청색 유기 EL층들(220R, 220G, 220B)이 형성된다. 상기 유기 EL층들(220R, 220G, 220B) 위에는 상기 제1 방향과 직교하는 제2 방향으로 신장되는 스트라이프 형상의 제2 전극(225)이 형성된다. 따라서, 상기 제1 전극(210)과 제2 전극(225)이 교차하는 영역이 단위 화소 영역이 된다.

<79> 상기 유기 EL충(220R, 220G, 220B)은 하나 이상의 유기 박막, 즉 정공 주입충(HIL), 정공 수송충(HTL), 발광충(EML), 전자 수송충(ETL) 및 전자 주입충(EIL)으로 구성된다.

<80> 패시브 매트릭스형 유기 전계발광장치는 각각의 화소를 구동시키기 위한 스위칭 소자가 없기 때문에, 제2 전극(225)을 화소 별로 분리시켜야만 각각의 화소에 개별적인 신호를 인가할 수 있다. 따라서, 저유전율의 CVD 절연막(218)을 역 테이퍼 기울기로 형성하면, 상기 제2 전극(225)이 테이퍼 기울기를 갖는 개구부(240)의 측벽에는 증착되지 않고 저유전율의 CVD 절연막(218)의 상면 및 개구부(240)의 바닥면 위에만 증착된다. 따라서, 제2 전극(225)의 증착과 동시에, 상기 제2 전극(225)은 각 화소 별로 분리된다.

<81> 종래의 패시브 매트릭스형 유기 전계발광장치에 의하면, 저유전율의 고분자 유기 절연막으로 제2 전극 격리판(separator) 및 장벽충을 형성한다. 따라서, 유기 절연막의 고분자들이 플라즈마에 의해 쉽게 손상받기 때문에, 발광 효율을 높이기 위한 제1 전극(210)의 산소 플라즈마 처리를 실시할 수 없게 된다.

<82> 이에 반하여, 본 발명의 패시브 매트릭스형 유기 전계발광장치에 의하면, 저유전율의 CVD 절연막으로 제2 전극 격리판 및 장벽충을 형성하기 때문에, 산소 플라즈마에 의한 제1 전극(210)의 표면 처리를 실시하여 유기 EL 소자의 발광 효율을 향상시킬 수 있다.

<83> 또한, 상기 저유전율의 CVD 절연막(218)은 다른 막과의 접착성이 우수하기 때문에, 제2 전극(225)의 박리 현상이 발생하지 않는다. 또한, 상기 저유전율의 CVD 절연막(218)은 유기 절연막에 비해 흡습률이 낮고 내열성이 높기 때문에, 유기 EL 소자의 구동시 소자의 열화가 발생하지 않는다.

<84> 도 4는 본 발명에 의한 유기 전계발광장치의 전류-전압 특성을 나타낸 그래프이다.

여기서, ◆는 투명 절연 기판의 전면에 ITO로 이루어진 제1 전극만을 형성한 경우이고, ■는 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다. ▲는 상기 제1 전극 위에 저유전율의 CVD 절연막, 예컨대 SiOC막을 증착한 경우이고, ×는 상기 SiOC막의 증착 후 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다.

<85> 도 4를 참조하면, ITO로 이루어진 제1 전극 상에 SiOC로 이루어진 저유전율의 CVD 절연막을 증착하면(▲) 전류-전압 특성이 제1 전극만 형성한 경우(◆)보다 더 저하된다. 그러나, SiOC막의 증착 후 산소 플라즈마 처리를 실시하면(×), 제1 전극만 형성되어 있는 기판에 산소 플라즈마 처리를 실시한 경우(■)와 동일한 수준으로 전류-전압 특성이 향상됨을 알 수 있다.

<86> 도 5는 본 발명에 의한 유기 전계발광장치의 휘도-전압 특성을 나타낸 그래프이다. 여기서, ◆는 투명 절연 기판의 전면에 ITO로 이루어진 제1 전극만을 형성한 경우이고, ■는 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다. ▲는 상기 제1 전극 위에 저유전율의 CVD 절연막, 예컨대 SiOC막을 증착한 경우이고, ×는 상기 SiOC막의 증착 후 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다.

<87> 도 5를 참조하면, ITO로 이루어진 제1 전극 상에 SiOC로 이루어진 저유전율의 CVD 절연막을 증착하면(▲) 휘도-전압 특성이 제1 전극만 형성한 경우(◆)보다 더 저하된다. 그러나, SiOC막의 증착 후 산소 플라즈마 처리를 실시하면(×), 제1 전극만 형성되어 있는 기판에 산소 플라즈마 처리를 실시한 경우(■)와 동일한 수준으로 휘도-전압 특성이 향상됨을 알 수 있다.

<88> 도 6은 본 발명에 의한 유기 전계발광장치의 휘도-전류 특성을 나타낸 그래프이다. 여기서, ◆는 투명 절연 기판의 전면에 ITO로 이루어진 제1 전극만을 형성한 경우이고, ■는 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다. ▲는 상기 제1 전극 위에 저유전율의 CVD 절연막, 예컨대 SiOC막을 증착한 경우이고, ☆는 상기 SiOC막의 증착 후 상기 제1 전극의 표면을 산소 플라즈마로 처리한 경우를 나타낸다.

<89> 도 6을 참조하면, ITO로 이루어진 제1 전극 상에 SiOC막을 증착하고 산소 플라즈마 처리를 실시한 경우(☆), 제1 전극만 형성되어 있는 기판에 산소 플라즈마 처리를 실시한 경우(■)보다 우수한 휘도-전류 특성을 나타낸다.

**【발명의 효과】**

<90> 상술한 바와 같이 본 발명에 의하면, 유기 EL층이 형성되는 영역을 둘러싸는 장벽 층을 저유전율의 CVD 절연막으로 형성한다. 상기 저유전율의 CVD 절연막은 플라즈마에 의한 표면 손상이 거의 발생하지 않으므로, 산소 플라즈마에 의한 화소 전극의 표면 처리를 실시하여 발광 효율 및 휘도와 같은 발광 특성을 향상시킬 수 있다.

<91> 또한, 우수한 접착성 및 단차 도포성을 갖는 저유전율의 CVD 절연막을 사용함으로써, 금속 전극(제2 전극)의 박리 현상이 발생하지 않는다. 또한, 상기 저유전율의 CVD 절연막은 유기 절연막에 비해 흡습률이 낮고 내열성이 높기 때문에, 유기 EL 소자의 구동시 소자의 열화가 발생하지 않는다.

<92> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부

1020020033326

출력 일자: 2002/11/22

터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

기판;

상기 기판 상에 형성된 제1 전극;

상기 제1 전극 및 기판 상에 상기 제1 전극을 노출하는 개구부를 갖고 형성된 저유전율의 화학기상증착(CVD) 절연막;

상기 개구부 상에 형성된 유기 전계발광층; 및

상기 유기 전계발광층 상에 형성된 제2 전극을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 2】**

제1항에 있어서, 상기 저유전율의 CVD 절연막은 SiOC로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 3】**

제1항에 있어서, 상기 저유전율의 CVD 절연막은 3.5 이하의 유전율을 갖는 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 4】**

제1항에 있어서, 상기 저유전율의 CVD 절연막은  $1\mu\text{m}$  이상의 두께로 형성된 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 5】**

기판;

상기 기판 상에 액티브 패턴, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하여 형성된 박막 트랜지스터;

상기 박막 트랜지스터 및 기판 상에 형성된 보호막;

상기 보호막 상에 상기 박막 트랜지스터와 연결되도록 형성된 화소 전극;

상기 화소 전극 및 보호막 상에 상기 화소 전극을 노출하는 개구부를 갖고 형성된 저유전율의 CVD 절연막;

상기 개구부 상에 형성된 유기 전계발광층; 및

상기 유기 전계발광층 및 저유전율의 CVD 절연막 상에 형성된 금속 전극을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치.

#### 【청구항 6】

제5항에 있어서, 상기 저유전율의 CVD 절연막은 SiOC로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

#### 【청구항 7】

제5항에 있어서, 상기 저유전율의 CVD 절연막은 3.5 이하의 유전율을 갖는 것을 특징으로 하는 유기 전계발광 표시장치.

#### 【청구항 8】

제5항에 있어서, 상기 저유전율의 CVD 절연막은  $1\mu\text{m}$  이상의 두께로 형성된 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 9】**

제5항에 있어서, 상기 저유전율의 CVD 절연막은 상기 화소 전극의 에지부와  $1\mu\text{m}$  이상 오버랩되어 형성된 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 10】**

기판;

상기 기판 상에 스트라이프 형태로 형성된 제1 전극;

상기 제1 전극 상에 테이퍼 기울기의 개구부를 형성하도록 상기 제1 전극 및 기판 상에 형성된 저유전율의 CVD 절연막;

상기 개구부 상에 형성된 유기 전계발광층; 및

상기 유기 전계발광층 상에 상기 제1 전극과 교차하는 스트라이프 형태로 형성된 제2 전극을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 11】**

제10항에 있어서, 상기 저유전율의 CVD 절연막은 SiOC로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 12】**

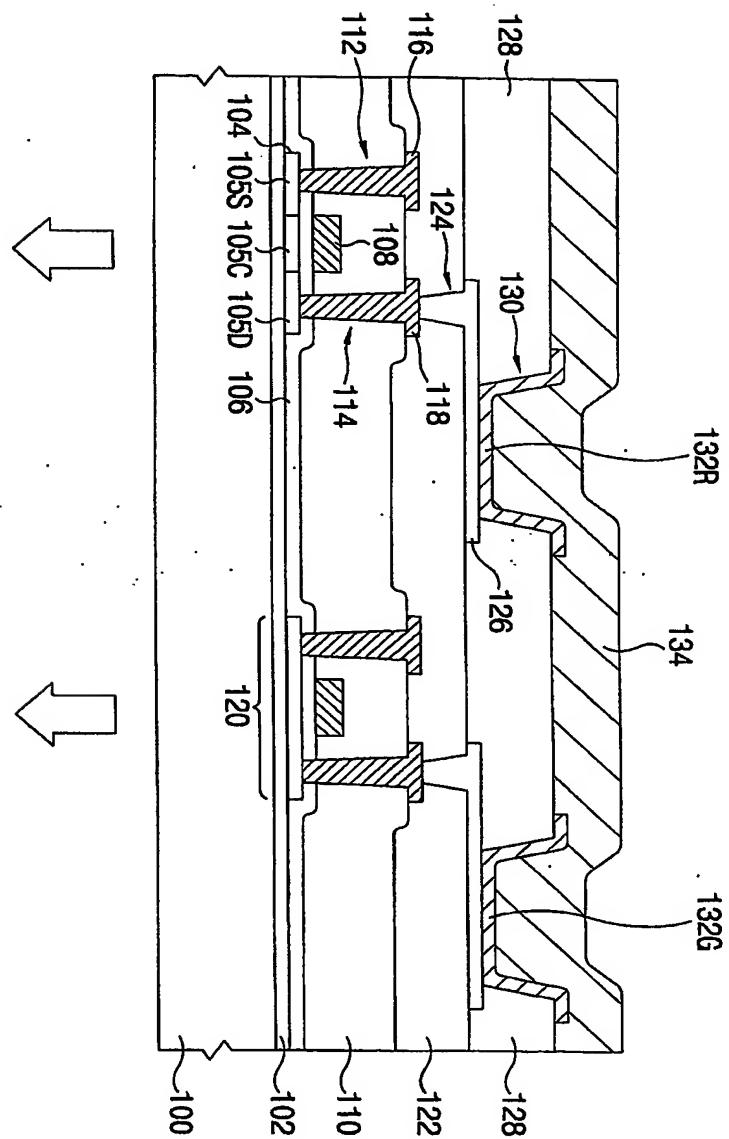
제10항에 있어서, 상기 저유전율의 CVD 절연막은 3.5 이하의 유전율을 갖는 것을 특징으로 하는 유기 전계발광 표시장치.

**【청구항 13】**

제10항에 있어서, 상기 저유전율의 CVD 절연막은  $1\mu\text{m}$  이상의 두께로 형성된 것을 특징으로 하는 유기 전계발광 표시장치.

## 【도면】

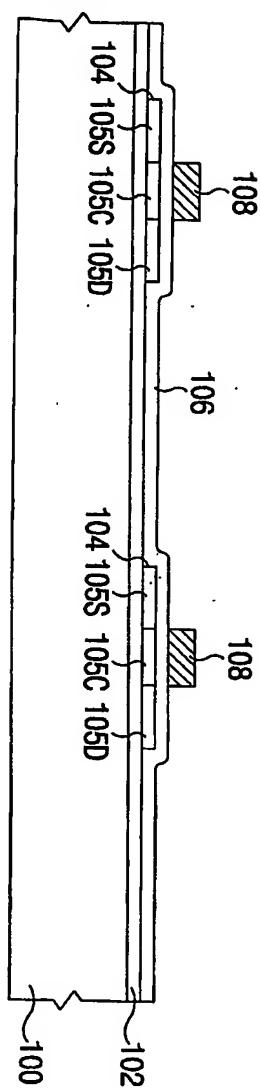
【도 1】



1020020033326

출력 일자: 2002/11/22

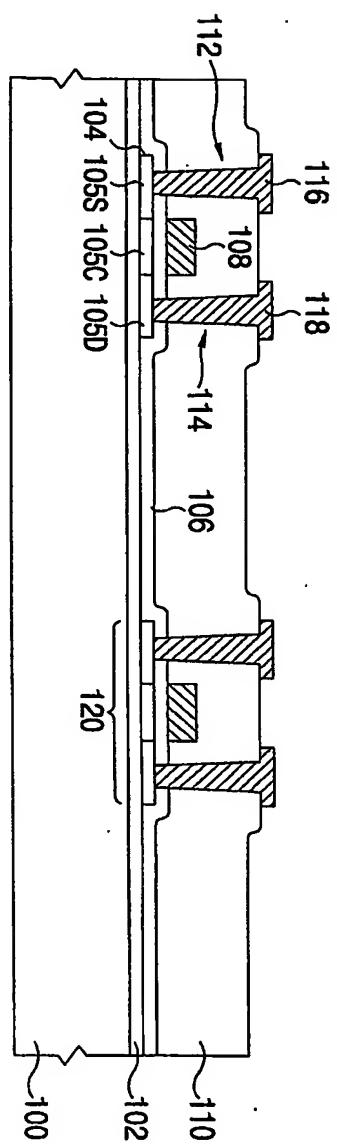
【도 2a】



1020020033326

출력 일자: 2002/11/22

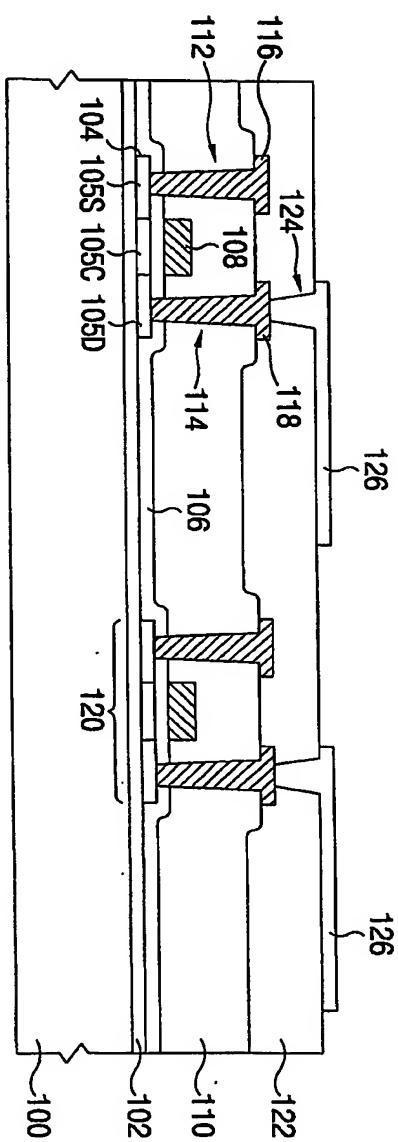
【H 2b】



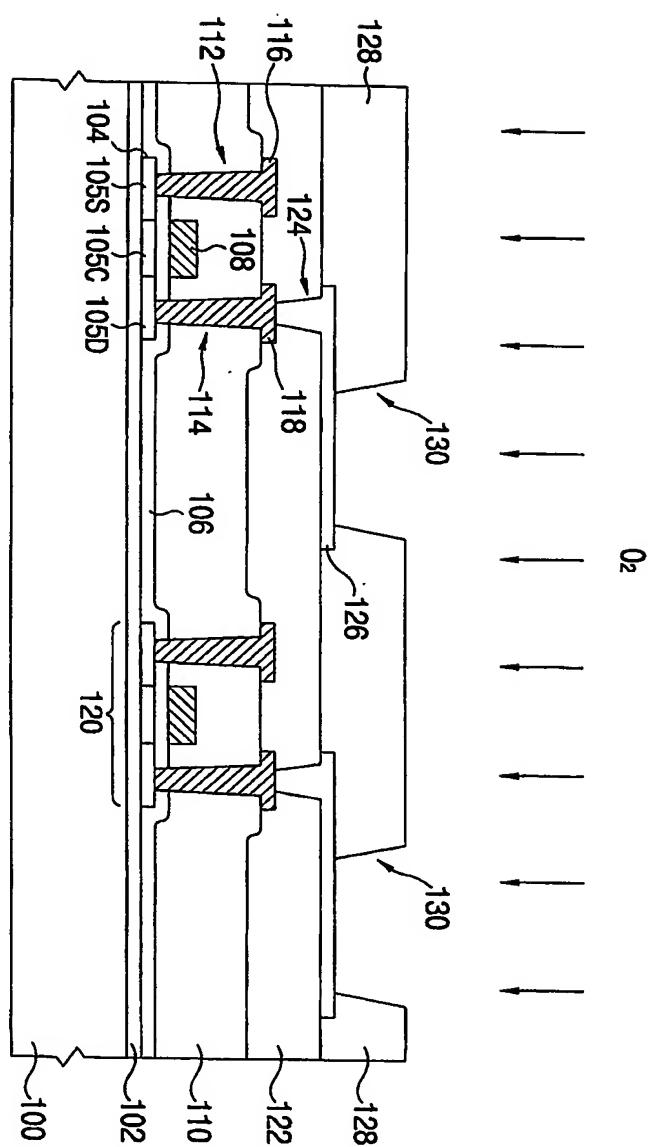
1020020033326

출력 일자: 2002/11/22

【도 2c】



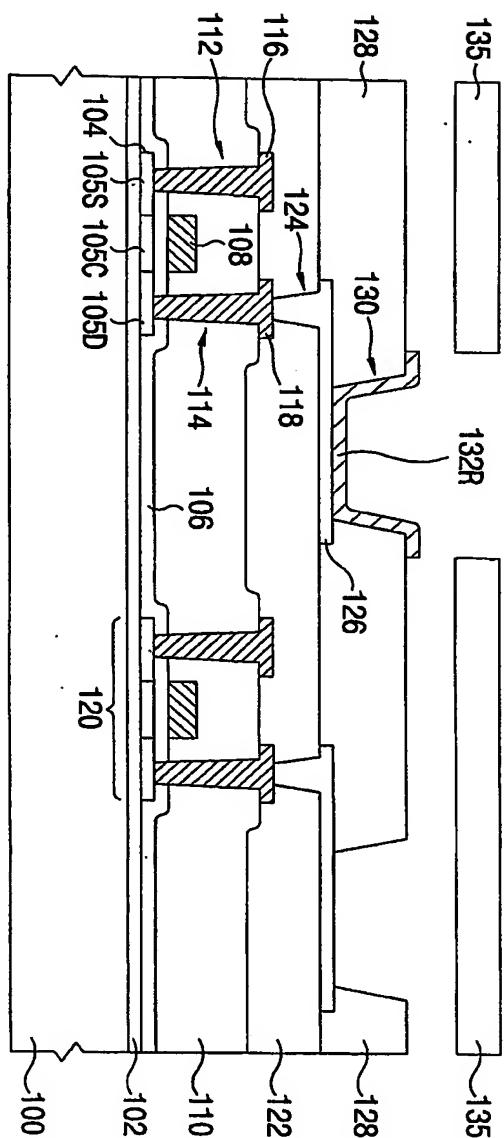
【FIG 2d】



1020020033326

출제 일자: 2002/11/22

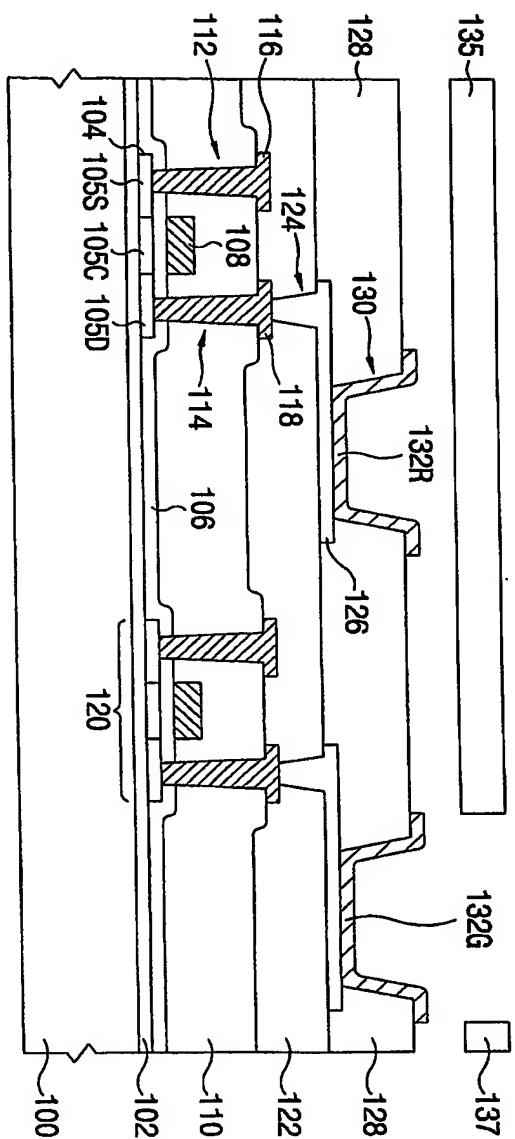
【도 2e】



1020020033326

출력 일자: 2002/11/22

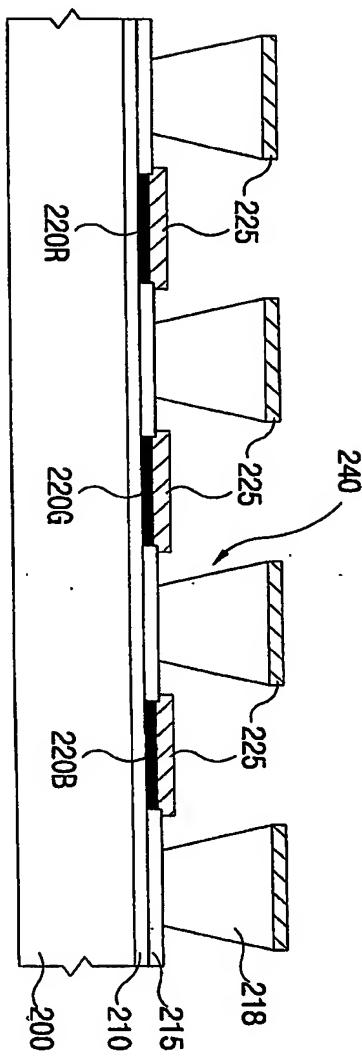
【도 2f】



1020020033326

출력 일자: 2002/11/22

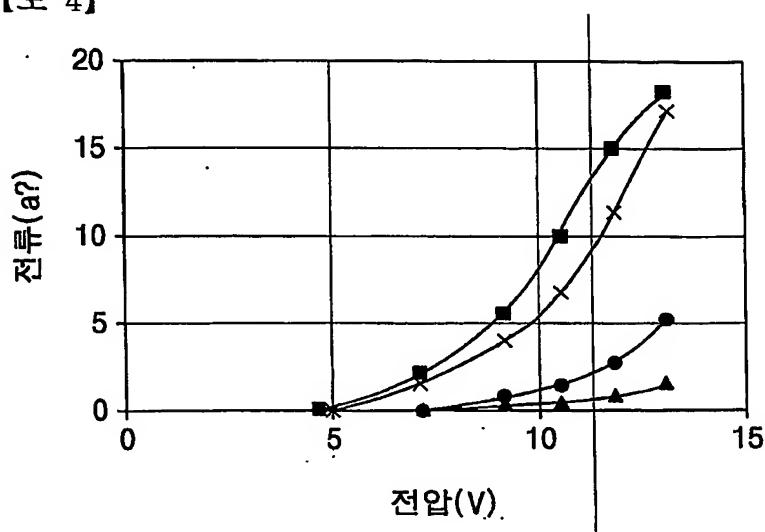
【도 3】



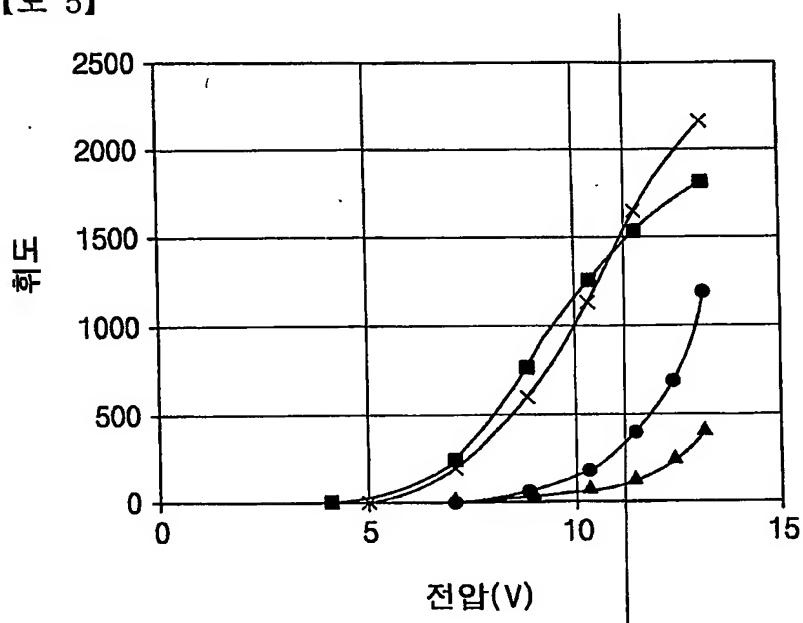
1020020033326

출력 일자: 2002/11/22

【도 4】



【도 5】



1020020033326

일자: 2002/11/22

【도 6】

